

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-037250

(43)Date of publication of application : 06.02.1996

(51)Int.Cl.

H01L 23/12

H05K 1/11

H05K 3/46

(21)Application number : 06-169646

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 21.07.1994

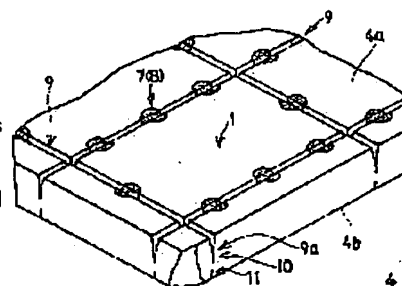
(72)Inventor : SAKAI NORIO

## (54) LAMINATED ELECTRONIC PART AND MANUFACTURE THEREOF

## (57)Abstract:

**PURPOSE:** To provide the manufacturing method for a laminated electronic part, having a wide substrate main surface where another electronic part can be mounted, on which a laminated electronic part, having a fine arrangement pitch of an external electrode, and an external electrode can be formed easily and also characteristics can be measured in the state of master substrate under being manufactured.

**CONSTITUTION:** The upper part (shown in the diagram) of a master laminated body is composed of a plurality of insulating sheets provided with via holes 7, having a conductor 8, and an internal circuit (not shown in the diagram) which is connected to a conductor 8. By providing V-shaped slits 9 on one main surface 4a of the above-mentioned master laminated body 4, via holes 7 and the conductor 8 are cut, and the conductor 8 is exposed to the slits 9. The exposed conductor 8 becomes the external electrode of a laminated electronic part I obtained by dividing.



## LEGAL STATUS

[Date of request for examination] 23.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3147666

[Date of registration] 12.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 3 7 2 5 0

(43) 公開日 平成8年(1996)2月6日

(51) Int. Cl. <sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

H 0 5 K 1/11

3/46

C 7511 - 4 E

Z 6921 - 4 E

H 0 1 L 23/12

N

E

審査請求 未請求 請求項の数 7

O L

(全 7 頁)

(21) 出願番号 特願平6-169646

(22) 出願日 平成6年(1994)7月21日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 酒井 範夫

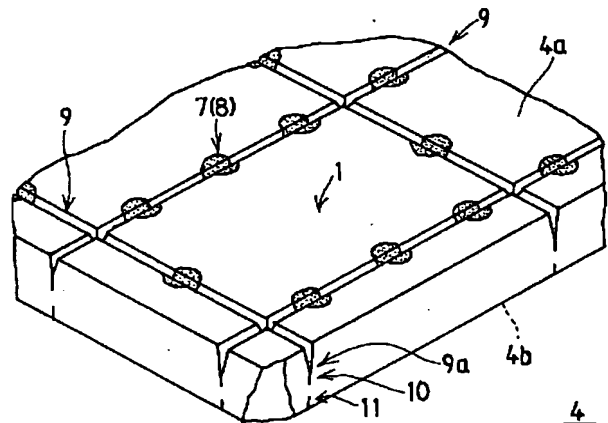
京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(54) 【発明の名称】 積層電子部品およびその製造方法

(57) 【要約】

【目的】 基板の主面上の、別の電子部品を実装できる面積が広く、外部電極の配置ピッチが細かい積層電子部品、および、外部電極が簡便に形成でき、製造中の親基板の状態で特性測定が行える積層電子部品の製造方法を提供する。

【構成】 親積層体4の図面上の上部は、導体8を有するビアホール7と、導体8に接続する内部回路（図示せず）と、を備えた絶縁性シート5を複数枚積層してなる。この親積層体4の一方の主面4aに、V字状のスリット9を設けることにより、ビアホール7および、ビアホール7に充填された導体8を分断し、スリット9内に導体8を露出させる。露出した導体8は、親積層体4を切断、分割して得られる個々の積層電子部品1の外部電極となる。



## 【特許請求の範囲】

【請求項 1】 内部回路を備える絶縁性シートを含む複数枚の絶縁性シートを積層してなり、主面と側面を有する基板を備え、

該基板の側面の一部に傾斜部を形成するとともに、該傾斜部に導体を付与し、該導体を外部電極としたことを特徴とする積層電子部品。

【請求項 2】 前記外部電極の両端部を、それぞれ前記基板の傾斜部に設けたことを特徴とする請求項 1 に記載の積層電子部品。

【請求項 3】 前記外部電極の両端部のうち、一方の端部を前記基板の一方の主面に設け、他方の端部を前記基板の傾斜部に設けたことを特徴とする請求項 1 に記載の積層電子部品。

【請求項 4】 前記傾斜部に凹部を形成するとともに、該凹部に導体を付与し、該導体を前記外部電極としたことを特徴とする請求項 1 乃至 3 に記載の積層電子部品。

【請求項 5】 導体を有するビアホールと、前記導体に接続する内部回路と、を備える絶縁性シートを含む複数枚の絶縁性シートを積層してなる親積層体を用い、前記親積層体の一方の主面に、前記ビアホールおよび前記導体を分断する V 字状のスリットを形成し、前記スリット内に前記導体を露出させる工程と、前記スリットに連続する切断面を形成し、前記親積層体を切断、分割する工程と、を含むことを特徴とする積層電子部品の製造方法。

【請求項 6】 前記導体が、前記ビアホールに充填されることを特徴とする請求項 5 に記載の積層電子部品の製造方法。

【請求項 7】 前記導体が、前記ビアホールの内周面に塗布されることを特徴とする請求項 5 に記載の積層電子部品の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電子機器に内蔵される積層電子部品、とくに移動体通信機用のモジュール、半導体パッケージ、およびハイブリッド IC 等を構成する積層電子部品に関する。

## 【0002】

【従来の技術】従来の積層電子部品の構成を図 7、図 8 を用いて説明する。図 7 において、51 は積層電子部品であり、基板 52 の各側面 52a、52b に外部電極 53 を形成してなるものである。ここで、基板 52 は、内部回路（図示せず）を備える絶縁性シート（図示せず）を含む複数枚の絶縁性シートを積層して親積層体（図示せず）を形成し、この親積層体を個々の基板 52 の寸法に合わせて切断、分割した後、焼成してなるものである。また、外部電極 53 は、基板 52 の側面に、厚み方向に導体を塗布してなるものである。このように構成される積層電子部品 51 においては、基板 52 の各側面 5

2a、52b に導体を塗布する際、必然的に基板 52 の両主面 52c にも導体が付着し、その結果、外部電極 53 の両端部 53a が基板 52 の両主面 52c に形成されることとなる。

【0003】次に、図 8 において、61 は積層電子部品であり、基板 62 の各側面 62a、62b に形成された凹部 63 に、外部電極 64 を備えてなるものである。ここで、基板 62 は、内部回路（図示せず）を備える絶縁性シート（図示せず）を含む複数枚の絶縁性シートを積層して親積層体 65 を形成し、この親積層体 65 に設けたスルーホール 66 の内周面に導体を塗布し、さらに、個々の基板 62 の寸法に合わせて親積層体 65 を切断、分割した後、焼成してなるものである。そして、親積層体 65 を切断する際、スルーホール 66 を分断することにより、凹部 63 が形成されるとともに、この凹部 63 内に露出した導体が、外部電極 64 となるものである。このように構成される積層電子部品 61 においては、スルーホール 66 の内周面に導体を塗布する際、必然的に、スルーホール 66 の開口部周辺にも導体が付着し、その結果、外部電極 64 の両端部 64a が、基板 62 の両主面 62c 上の凹部 63 の両端部 63a 周辺に形成されることとなる。

## 【0004】

【発明が解決しようとする課題】しかしながら、図 7 に示す積層電子部品 51 において、外部電極 53 は、導体を塗布して形成されるため、基板 52 の両主面 52c に設けられる外部電極 53 の両端部 53a の形状は一定でなく、その寸法も所定のものより大きくなる場合がある。このため、基板 52 に別の電子部品を実装する場合、このような別の電子部品を実装できる面積が制限されるとともに、外部電極 53 の配置ピッチを細かくすることが困難となるものである。さらに、外部電極 53 を形成するために、基板 52 の各側面 52a、52b に別々に金属ペーストを塗布しなければならず、作業の手間がかさむものである。

【0005】また、積層電子部品 51 と同様に、図 8 に示す積層電子部品 61 においても、基板 62 の両主面 64c に設けられる外部電極 64 の両端部 64a の形状は一定でなく、その寸法も所定のものより大きくなる場合がある。このため、基板 62 に別の電子部品を実装する場合、このような別の電子部品を実装できる面積が制限されるとともに、外部電極 64 の配置ピッチを細かくすることが困難となるものである。さらに、スルーホール 66 は、ドリルを用いて形成されるが、そのときの直径は一定の寸法、例えば 0.3mm より小さくすることが困難であり、このことも、外部電極 64 の配置ピッチに制約を加えることとなる。

【0006】さらに、積層電子部品 51、61 はいずれも、少なくとも需要者側に出荷する前に特性測定を行わなければならない。しかしながら、原則として、機能的

に独立したチップの状態にしてからでないと、これらの特性測定は不可能である。すなわち、積層電子部品 5 1 においては、基板 5 2 に金属ペーストを塗布し、外部電極 5 3 を形成しなければ特性測定ができず、積層電子部品 6 1 においては、スルーホール 6 6 を分断した状態で、親積層体 6 5 を切断、分割することにより外部電極 6 4 を形成しなければ、特性測定ができないものである。

【0007】そこで、本発明においては、基板の主面を別の電子部品を実装するために広く利用することができ、外部電極の配置ピッチを細かくすることができる積層電子部品を提供するとともに、外部電極を形成する作業が簡便で、しかも、製造中の親基板の状態で、個々の積層電子部品の特性測定が行える積層電子部品の製造方法を提供することを目的とする。

#### 【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明にかかる積層電子部品においては、内部回路を備える絶縁性シートを含む複数枚の絶縁性シートを積層してなり、主面と側面を有する基板を備え、該基板の側面の一部に傾斜部を形成するとともに、該傾斜部に導体を付与し、該導体を外部電極としたことを特徴とする。さらに、前記外部電極の両端部を、それぞれ前記基板の傾斜部に設けたことを特徴とする。また、前記外部電極の両端部のうち、一方の端部を前記基板の一方の主面に設け、他方の端部を前記基板の傾斜部に設けたことを特徴とする。さらに、前記傾斜部に凹部を形成するとともに、該凹部に導体を付与し、該導体を前記外部電極としたことを特徴とする。

【0009】また、本発明にかかる積層電子部品の製造方法においては、導体を有するビアホールと、前記導体に接続する内部回路と、を備える絶縁性シートを含む複数枚の絶縁性シートを積層してなる親積層体を用い、前記親積層体の一方の主面に、前記ビアホールおよび前記導体を分断する V 字状のスリットを形成し、前記スリット内に前記導体を露出させる工程と、前記スリットに連続する切断面を形成し、前記親積層体を切断、分割する工程と、を含むことを特徴とする。さらに、前記導体が、前記ビアホールに充填されることを特徴とする。また、前記導体が、前記ビアホールの内周面に塗布されることを特徴とする。

#### 【0010】

【作用】本発明にかかる積層電子部品によれば、ビアホールに付与された導体を外部電極とするので、外部電極の端部を基板の一方の主面に設ける場合、その端部の形状および寸法は、ビアホールの開口部の形状および寸法によって規定され、一定のものとなる。

【0011】また、本発明にかかる積層電子部品の製造方法によれば、親積層体にスリットを形成し、予めビアホールに付与された導体を露出させることにより、外部

電極が簡便に形成される。

【0012】さらに、本発明にかかる積層電子部品の製造方法によれば、親積層体にスリットを形成し、予めビアホールに付与された導体を分断することにより、個々の積層電子部品が互いに機能的に独立した状態となる。

#### 【0013】

【実施例】本発明の一実施例にかかる積層電子部品の構成を、図 1 を用いて説明する。図 1 において、1 は積層電子部品であり、基板 2 を備えてなるものである。ここで、基板 2 は、対向する主面 2 a、2 b、一方の対向する側面 2 c、および他方の対向する側面 2 d を有し、さらに、これら側面 2 c、2 d に、それぞれ一方の主面 2 a に連続する傾斜部 2 c 1、2 d 1 を形成してなるものである。そして、この各傾斜部 2 c 1、2 d 1 には、内部回路に接続する外部電極 3 が形成される。ここで、外部電極 3 は、一方の端部 3 a を基板 2 の一方の主面 2 a に設け、他方の端部 3 b を各側面 2 c、2 d に設けてなるものである。

【0014】次に、本発明の一実施例にかかる積層電子部品の製造方法を、図 2、図 3 を用いて説明する。まず、図 2 に示す親積層体 4 が準備される。親積層体 4 は、例えばセラミックから構成される絶縁性シート 5 を複数枚積層してなるものである。ここで、絶縁性シート 5 を積層する際、図 2 における上部に配されるシート 5 には、切断線 6 に沿ってビアホール 7 が形成される。次に、これら絶縁性シート 5 に導電膜や抵抗膜を印刷することにより、切断線 6 によって区画される個々の積層電子部品 1 の内部回路（図示せず）が形成される。さらに、ビアホール 7 に導体 8 が充填され、この導体 8 と内部回路が接続される。また、各絶縁性シート 5 に形成されたビアホール 7、およびビアホール 7 に充填された導体 8 は、絶縁性シート 5 の積層方向に沿って連続した状態となり、親積層体 4 の一方の主面 4 a 上のビアホール 7 の開口部には、導体 8 が露出するものである。

【0015】次に、図 3 に示すように、例えばダイシングソーによって、親積層体 4 の一方の主面 4 a に、図 2 における切断線 6 に沿って、V 字状のスリット 9 を形成することにより、ビアホール 7 および、ビアホール 7 に充填された導体 8 が親積層体 4 の厚み方向に沿って分断され、スリット 9 内に導体 8 が露出される。このようなスリット 9 を形成することにより、図 1 に示す積層電子部品 1 を構成する基板 2 の、各側面 2 c、2 d の一部をなす傾斜部 2 c 1、2 d 1 が形成され、そこに露出された導体 8 は、外部電極 3 となるものである。この後、親積層体 4 は焼成される。ここで、導体 8 がスリット 9 によって分断されることにより、個々の積層電子部品 1 となる部分は、互いに他のものに対して機能的に独立した状態となる。したがって、焼成後の親積層体 4 の状態のまま、スリット 9 内に露出された導体 8（外部電極 3）を介して、個々の積層電子部品 1 の特性測定を行うこと

ができるものである。また、焼成後の親積層体 4 の状態で、需要者側への出荷を行ってもよいものである。

【0016】そして、最終的に、スリット 9 に連続する切断面を形成して親積層体 4 を切断、分割することにより、機能的に独立した複数の積層電子部品 1 が形成される。このとき、好ましくは、スリット 9 の底部 9 a と、親積層体 4 の他方の主面 4 b に、それぞれ切り込み 10、11 を設けると、親積層体 4 の切断、分割が容易となるものである。なお、切り込み 10 および 11 は、いずれか一方が省略されてもよいものである。

【0017】このように、本発明にかかる積層電子部品 1 によれば、ビアホール 7 に充填された導体 8 を外部電極 3 とするので、基板 2 の一方の主面 2 a に設けられる外部電極 3 の一方の端部 3 a の形状および寸法は、ビアホール 7 の開口部の形状および寸法によって規定され、一定のものとなる。また、ビアホール 7 は、積層する前の各絶縁性シート 5 に形成するため、ドリルを用いることなく、パンチングにより比較的小さい径のものを形成することができる。

【0018】これらのことから、積層電子部品 1 においては、基板の側面に塗布した導体を外部電極とする場合と比べて、外部電極 3 の配置ピッチを細かくすることができるとともに、基板 2 の一方の主面 2 a を、別の電子部品を実装するために広く利用することができる。さらに、基板 2 の他方の主面 2 b については、外部電極 3 の両端部 3 a、3 b のどちらも設けられないので、その全面を、別の電子部品を実装するために利用することができる。

【0019】また、本発明にかかる積層電子部品の製造方法によれば、親積層体 4 に V 字状のスリット 9 を形成し、このスリット 9 内に、予めビアホール 7 に充填された導体 8 を露出させることにより、外部電極 3 を形成するので、基板の側面に導体を塗布して外部電極を形成する場合と比べて、外部電極を形成する作業が簡便である。

【0020】さらに、本発明にかかる積層電子部品の製造方法によれば、親積層体 4 に V 字状のスリット 9 を形成し、予めビアホール 7 に充填された導体 8 を分断することにより、個々の積層電子部品 1 となる部分を、互いに機能的に独立した状態にすることができ、これにより、焼成後の親積層体 4 の状態で、個々の積層電子部品 1 の特性測定を効率的に行うことができる。

【0021】なお、本実施例の積層電子部品 1 は、外部電極 3 の一方の端部 3 a を、基板 2 の一方の主面 2 a に設けてなるものであるが、図 4 に示す積層電子部品 21 のように、外部電極 23 の両端部 23 a、23 b を、それぞれ基板 2 の傾斜部 2 c 1、2 d 1 に設けてもよいものである。このような外部電極 23 は、図 2 に示す親積層体 4 の最上層を除く層を構成する絶縁性シート 5 にのみ、ビアホール 7 を形成し、このビアホール 7 に導体 8

を充填し、親積層体 4 にスリット 9 を設け、さらに焼成した後、親積層体 4 を切断、分割することによって形成されるものである。このような構成を備える積層電子部品 21 によれば、基板 2 の両主面 2 a、2 b の全面を、他の電子部品を実装するために利用することができる。

【0022】また、必要に応じて、図 1 に示す外部電極 3 と、図 4 に示す外部電極 23 を一つの積層電子部品に混在させてもよいものである。さらに、図 1 に示す外部電極 3 と、例えば、基板 2 の側面 2 c、2 d に導体を塗布してなる外部電極を一つの積層電子部品に混在させてもよいものである。

【0023】さらに、本実施例の積層電子部品 1 は、親積層体 4 のビアホール 7 に充填された導体 8 を外部電極 3 とするものであるが、図 5 に示すように、側面 2 c、2 d の傾斜部 2 c 1、2 d 1 に、凹部 32 を形成してなる基板 2 を備え、この凹部 32 内に付与した導体を外部電極 33 とする積層電子部品 31 を形成してもよいものである。ここで、凹部 32 および外部電極 33 の一方の端部 32 a、33 a は、基板 2 の一方の主面 2 a に設けられ、他方の端部 32 b、33 b は、基板 2 の各傾斜部 2 c 1、2 d 1 に設けられるものである。そして、積層電子部品 31 は、図 2 における絶縁性シート 5 に設けたビアホール 7 の内周面に導体 8 を塗布し、これら絶縁性シート 5 を積層してなる親積層体 4 にスリット 9 を設け、このスリット 9 内に、ビアホール 7 の内周面に沿って凹部状をなす導体 8 を露出させ、さらに焼成した後、親積層体 4 を切断、分割してなるものである。このように構成される積層電子部品 31 においては、ビアホールに充填された導体を外部電極とする場合に比べて、外部電極 33 を構成する導体 8 が少量でよいので、製造コストを低減させることができるものである。

【0024】なお、積層電子部品 31 のように、基板に凹部を有してなる積層電子部品において、凹部および外部電極の各両端部を、基板の各傾斜部に設けてもよいものである。

【0025】また、本実施例の積層電子部品の製造方法においては、一つのビアホール 7 に充填された導体 8 を分断して、二つの積層電子部品 1 のための外部電極 3 を形成するものであるが、スリット 9 の幅寸法が、ビアホール 7 の径寸法の大部分を占める場合には、図 6 に示すように、スリット 9 を形成してビアホール 7 の一方の半部 7 a を削り取り、他方の半部 7 b を残した状態で、導体 8 を露出させることにより、外部電極 43 を形成してもよいものである。

【0026】さらに、本実施例においては、導体 8 を充填するためのビアホール 7 の開口部が円形である場合について説明したが、開口部が矩形等の他の形状をなすビアホールに導体 8 を充填し、このような導体 8 から外部電極を構成してもよいものである。

【0027】

10

20

30

40

50

【発明の効果】本発明にかかる積層電子部品によれば、ビアホールに付与された導体を外部電極とするため、基板の一方の主面に設けられる外部電極の端部の形状および寸法は、ビアホールの開口部の形状および寸法によって規定され、一定のものとなる。また、ビアホールは、積層する前の各絶縁性シートに形成するため、ドリルを用いることなく、パンチングにより比較的小さい径のものを形成することができる。これらのことから、基板の側面に塗布した導体を外部電極とする場合と比べて、外部電極の配置ピッチを細かくすることができるとともに、基板の主面を、別の電子部品を実装するために広く利用することができ、部品実装の高密度化が図れるものである。しかも、基板の他方の主面については、外部電極の端部が設けられないので、その全面を、別の電子部品を実装するために利用することができ、部品実装のさらなる高密度化を実現できるものである。

【0028】また、本発明にかかる積層電子部品の製造方法によれば、親積層体にスリットを形成し、このスリット内に、予めビアホールに付与された導体を露出させることにより、外部電極を形成することができ、外部電極を形成する作業が簡便なものとなる。

【0029】さらに、本発明にかかる積層電子部品の製造方法によれば、親積層体にスリットを形成して、予めビアホールに充填された導体を分断することにより、個々の積層電子部品となる部分を、互いに機能的に独立した状態にすることができる。これにより、焼成後の親積層体の状態で、個々の積層電子部品の特性測定を効率的に行うことができる。そして、特性測定を行った後、この親積層体の状態で需要者側に出荷すれば、個々の積層電子部品がチップの状態にある場合に比べて、梱包等の取り扱いが容易である。しかも、この状態であれば、需要者側において、親積層体を切断、分割するだけで、複数の積層電子部品を得ることができ、積層電子部品の実装が効率的に行えるものである。

#### 【図面の簡単な説明】

【図 1】本発明の一実施例にかかる積層電子部品の斜視図である。

【図 2】図 1 に示す積層電子部品を製造するために用いられる親積層体の斜視図である。

【図 3】図 2 に示す親積層体に、スリットが形成された

状態を示す要部拡大斜視図である。

【図 4】本発明の他の実施例にかかる積層電子部品の斜視図である。

【図 5】本発明のさらに他の実施例にかかる積層電子部品の斜視図である。

【図 6】本発明のさらに他の実施例にかかる積層電子部品の要部拡大平面図である。

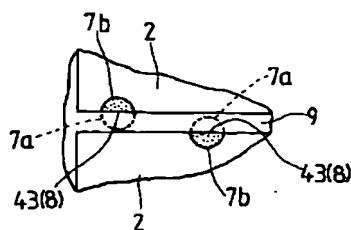
【図 7】従来の積層電子部品の斜視図である。

【図 8】他の従来の積層電子部品の斜視図である。

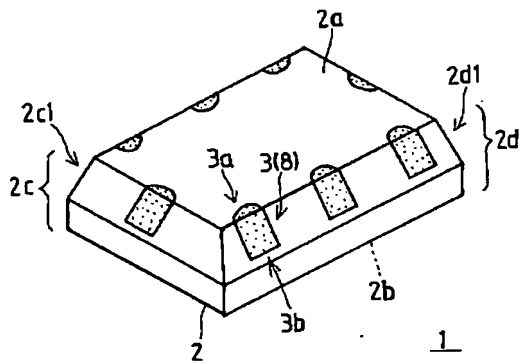
#### 【符号の説明】

1、21、31	積層電子部品
2	基板
2a、2b	主面
2c、2d	側面
2c1、2d1	傾斜部
3、23、33	外部電極部
3a、3b、23a、23b、33a、33b	端部
4	親積層体
4a	主面
5	絶縁性シート
7	ビアホール
8	導体
9	スリット
32	凹部
32a、32b	端部
40	部

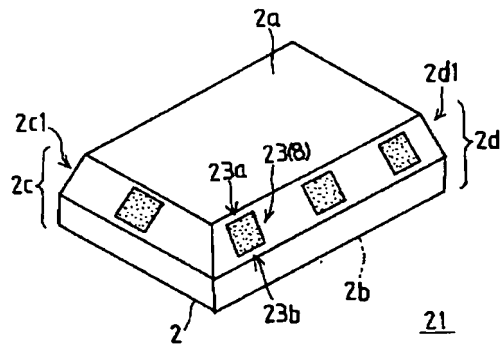
【図 6】



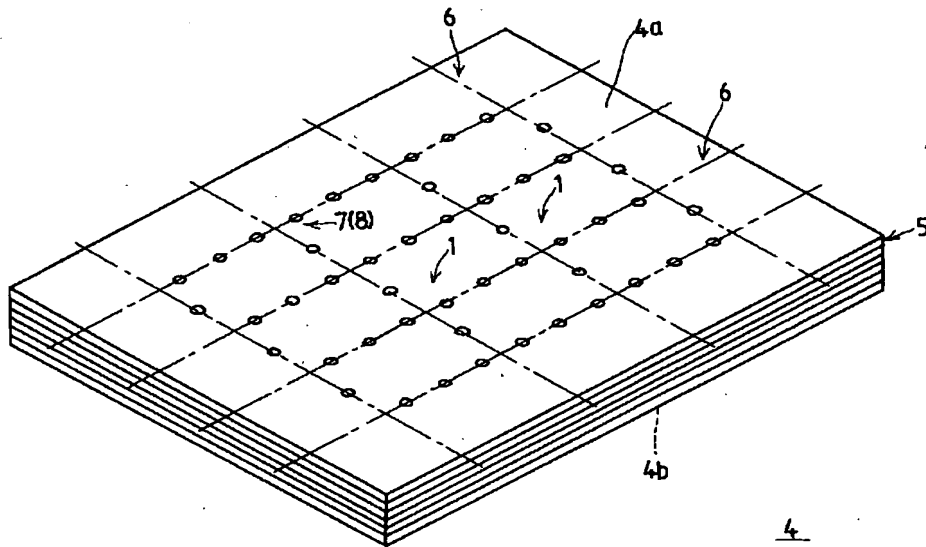
【図 1】



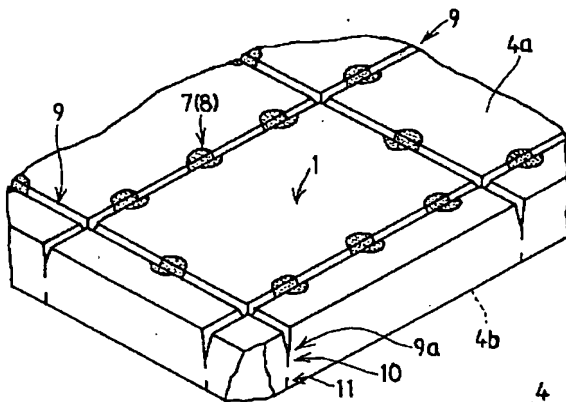
【図 4】



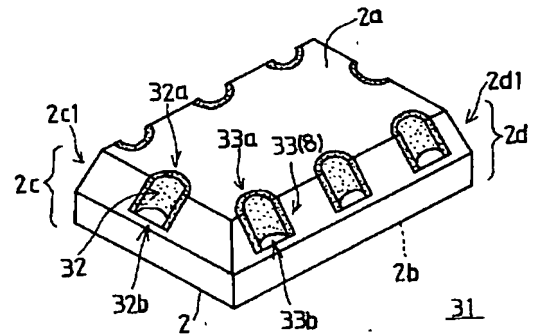
【図 2】



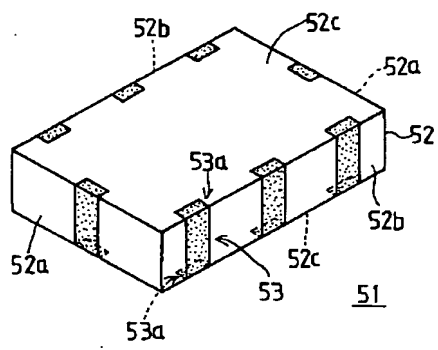
【図 3】



【図 5】



【図 7】



【図 8】

